

# Exploration des architectures des systèmes embarqués dirigée par la

**fiabilité** (Document en Anglais)

## ▼ Accès au(x) document(s)

Accéder au(x) document(s) :

 <https://ged.uphf.fr/nuxeo/site/esupversions/4347b458-1e0d-47fe-8af9-84562fadd1f4>

**Droits d'auteur** : Ce document est protégé en vertu du Code de la Propriété Intellectuelle.

**Modalités de diffusion de la thèse** :

- [Thèse consultable sur internet, en texte intégral.](#)

## ▼ Informations sur les contributeurs

**Auteur** : [Chabot Alexandre](#)

**Date de soutenance** : 03-02-2020

**Directeur(s) de thèse** : [Alouani Ihsen](#) - [Niar Smail](#) - [Nouacer Réda](#)

**Président du jury** : [Bosio Alberto](#)

**Membres du jury** : [Alouani Ihsen](#) - [Niar Smail](#) - [Nouacer Réda](#) - [Heydemman Karine](#) - [Pecheux François](#) - [Radermacher Ansgar](#) - [Helen Youri](#)

**Rapporteurs** : [Pecheux François](#)

**Laboratoire** : Laboratoire d'automatique, de mécanique et d'informatique industrielles et humaines partenaireRecherche\_1  
050705253 LAMIH

**Ecole doctorale** : [Sciences pour l'ingénieur \(SPI\)](#)

## ▼ Informations générales

**Discipline** : Informatique

**Classification** : Informatique, Sciences de l'ingénieur

**Mots-clés** : [Fiabilité](#) [DPSR](#) [Fautes Multiples](#) [Injection de Fautes](#) [Mémoire](#)

[Systèmes embarqués \(informatique\) -- Fiabilité](#) [Architecture des réseaux d'ordinateurs -- Fiabilité](#) [A\\*](#)

**Résumé** : Les avancées technologiques ont permis la production de systèmes électroniques de plus en plus complexes. A l'ombre de ces évolutions, la diminution de la taille des transistors ainsi que la diminution de tension ont dramatiquement impactés la sensibilité aux fautes de ces nouvelles plateformes électroniques. Leur susceptibilité aux fautes multiples a également été tout d'abord découverte puis augmentée. Dans les applications critiques, il est obligatoire de fournir des systèmes résistants aux fautes tout en conservant un comportement identique à celui attendu peu importe les conditions. Le problème de abilité est tout particulièrement exprimé dans la mémoire car elle représente aujourd'hui plus de 80% de la totalité de la surface des plateformes électroniques. Pour adresser ce problème de abilité, nous avons proposé dans nos trois ans de recherche une nouvelle technique améliorant la abilité appelée DPSR (Double Parity Single Redundancy traduit littéralement par Double Parité associée à une Simple Redondance). Cette technique est désignée tout particulièrement pour contrer les soucis de fautes simples et multiples. Pour évaluer notre technique, nous avons modifié les modèles permettant de faire des injections simples en y ajoutant des paramètres supplémentaires comme la surveillance de l'utilisation mémoire. Ce modèle a également été enrichi de la possibilité d'injecter des fautes multiples. Nous avons au cours de ces années de recherche comparé notre modèle aux modèles existants. Basé sur de longues expérimentations, notre technique DPSR a montré des résultats prometteurs avec plus de 99.6% de fautes multiples corrigées et détectées en introduisant une perte de seulement 3% de performance. Notre modèle d'injection a également montré des résultats prometteurs en découvrant plus de 11% de comportements non désirés que si on utilisait une méthode d'injection de l'état de l'art.

## ▼ Informations techniques

**Type de contenu** : Texte

**Format** : PDF

## ▼ Informations complémentaires

**Identifiant** : uvhc-ori-oai-wf-1-2895

**Type de ressource** : Thèse