

Architectures parallèles reconfigurables pour le traitement vidéo temps-réel

(Document en Anglais)

▼ Accès au(x) document(s)

Accéder au(x) document(s) :

 <http://ged.univ-valenciennes.fr/nuxeo/site/esupversions/3a4c0cc5-ad6b-4d41-86bf-30f8d31117d5>

Droits d'auteur : Ce document est protégé en vertu du Code de la Propriété Intellectuelle.

Modalités de diffusion de la thèse :

- [Thèse consultable sur internet, en texte intégral.](#)

▼ Informations sur les contributeurs

Auteur : [Ali Karim Mohamed Abedallah](#)

Date de soutenance : 08-02-2018

Directeur(s) de thèse : [Dekeyser Jean-Luc](#) - [Ben Atitallah Rabie](#)

Président du jury : [Niar Smail](#)

Membres du jury : [Dekeyser Jean-Luc](#) - [Ben Atitallah Rabie](#) - [Belleudy Cécile](#) - [Fakhfakh Nizar](#) - [Sami Mariagiovanna](#) - [Hubner Michael](#) - [Stroobandt Dirk](#)

Rapporteurs : [Hubner Michael](#) - [Stroobandt Dirk](#)

Laboratoire : [Laboratoire d'Automatique, de Mécanique et d'Informatique Industrielles et Humaines - LAMIH](#)

Ecole doctorale : [Sciences pour l'ingénieur \(SPI\)](#)

▼ Informations générales

Discipline : Informatique

Classification : Informatique, Sciences de l'ingénieur

Mots-clés : [Applications vidéo temps-réel](#) [Architectures reconfigurables parallèles](#) [Synthèse de haut niveau](#)

[Exploration de l'espace de conception](#) [FPGA](#) [Streaming \(télécommunications\) -- Thèses et écrits académiques](#)

[Réseaux logiques programmables par l'utilisateur -- Thèses et écrits académiques](#)

[Systèmes embarqués \(informatique\) -- Thèses et écrits académiques](#)

Résumé : Les applications vidéo embarquées sont de plus en plus intégrées dans des systèmes de transport intelligents tels que les véhicules autonomes. De nombreux défis sont rencontrés par les concepteurs de ces applications, parmi lesquels : le développement des algorithmes complexes, la vérification et le test des différentes contraintes fonctionnelles et non-fonctionnelles, la nécessité d'automatiser le processus de conception pour augmenter la productivité, la conception d'une architecture matérielle adéquate pour exploiter le parallélisme inhérent et pour satisfaire la contrainte temps-réel, réduire la puissance consommée pour prolonger la durée de fonctionnement avant de recharger le véhicule, etc. Dans ce travail de thèse, nous avons utilisé les technologies FPGAs pour relever certains de ces défis et proposer des architectures matérielles reconfigurables dédiées pour des applications embarquées de traitement vidéo temps-réel. Premièrement, nous avons implémenté une architecture parallèle flexible avec deux contributions principales : (1) Nous avons proposé un modèle générique de distribution/collecte de pixels pour résoudre le problème de transfert de données à haut débit à travers le système. Les paramètres du modèle requis sont tout d'abord définis puis la génération de l'architecture a été automatisée pour minimiser le temps de développement. (2) Nous avons appliqué une technique d'ajustement de la fréquence pour réduire la consommation d'énergie. Nous avons dérivé les équations nécessaires pour calculer le niveau maximum de parallélisme ainsi que les équations utilisées pour calculer la taille des FIFO pour le passage d'un domaine de l'horloge à un autre. Au fur et à mesure que le nombre de cellules logiques sur une seule puce FPGA augmente, passer à des niveaux d'abstraction plus élevés devient inévitable pour réduire la contrainte de « time-to-market » et augmenter la productivité des concepteurs. Pendant la phase de conception, l'espace de solutions architecturales présente un grand nombre d'alternatives avec des performances différentes en termes de temps d'exécution, ressources matérielles, consommation d'énergie, etc. Face à ce défi, nous avons développé l'outil ViPar avec deux contributions principales : (1) Un modèle empirique a été introduit pour estimer la consommation d'énergie basé sur l'utilisation du matériel (Slice et BRAM) et la fréquence de fonctionnement ; en plus de cela, nous avons dérivé les équations pour estimer les ressources matérielles et le temps d'exécution pour chaque alternative au cours de l'exploration de l'espace de conception. (2) En définissant les principales caractéristiques de l'architecture parallèle comme le niveau de parallélisme, le nombre de ports d'entrée/sortie, le modèle de distribution des pixels, ... l'outil ViPar génère automatiquement l'architecture matérielle pour les solutions les plus pertinentes. Dans le cadre d'une

collaboration industrielle avec NAVYA, nous avons utilisé l'outil ViPar pour implémenter une solution matérielle parallèle pour l'algorithme de stéréo matching « Multi-window Sum of Absolute Difference ». Dans cette implémentation, nous avons présenté un ensemble d'étapes pour modifier le code de description de haut niveau afin de l'adapter efficacement à l'implémentation matérielle. Nous avons également exploré l'espace de conception pour différentes alternatives en termes de performance, ressources matérielles, fréquence, et consommation d'énergie. Au cours de notre travail, les architectures matérielles ont été implémentées et testées expérimentalement sur la plateforme d'évaluation Xilinx Zynq ZC706.

▼ Informations techniques

Type de contenu : Texte

Format : PDF

▼ Informations complémentaires

Identifiant : uvhc-ori-oai-wf-1-2457

Type de ressource : Thèse
