

Optimisation des performances et de la complexité dans les architectures multiprocesseurs hétérogènes sur puce

(Document en Anglais)

✓ Accès au(x) document(s)

Accéder au(x) document(s) :

 <http://ged.univ-valenciennes.fr/nuxeo/site/esupversions/fd13e3c1-4dbd-4b38-8eb1-c24532656c5f>

Droits d'auteur : Ce document est protégé en vertu du Code de la Propriété Intellectuelle.

Modalités de diffusion de la thèse :

- [Thèse consultable sur internet, en texte intégral.](#)

✓ Informations sur les contributeurs

Auteur : [Dammak Masmoudi \(DAMMAK\)](#), [Bouthaina](#)

Date de soutenance : 06-11-2015

Directeur(s) de thèse : [Niar Smail](#) - [Abid Mohamed](#) - [Benmansour Rachid](#) - [Baklouti Kammoun Mouna](#)

Président du jury : [Masmoudi Mohamed](#)

Membres du jury : [Niar Smail](#) - [Abid Mohamed](#) - [Benmansour Rachid](#) - [Baklouti Kammoun Mouna](#) - [Koudil Mouloud](#) - [Chiheb Ammari Ahmed](#) - [Bourennane El-Bay](#)

Rapporteurs : [Chiheb Ammari Ahmed](#) - [Bourennane El-Bay](#)

Laboratoire : [Laboratoire d'Automatique, de Mécanique et d'Informatique Industrielles et Humaines - LAMIH](#)

Ecole doctorale : [Sciences pour l'ingénieur \(SPI\)](#)

✓ Informations générales

Discipline : Informatique

Classification : Sciences de l'ingénieur, Informatique

Mots-clés : [Architecture MPSoC](#) [Accélérateurs hardware](#) [FPGA](#) [Systèmes sur puce -- Thèses et écrits académiques](#)

[Réseaux logiques programmables par l'utilisateur -- Thèses et écrits académiques](#)

[Multiprocesseurs -- Thèses et écrits académiques](#) [Architecture des ordinateurs -- Thèses et écrits académiques](#)

Résumé : Les travaux présentés dans cette thèse visent le développement d'une méthodologie capable d'estimer rapidement les performances d'une architecture MPSoC avec des instructions spécialisées. Pour ces architectures, l'outil proposé intègre une méthodologie de partage des accélérateurs hardware pour les mêmes motifs de calcul. L'idée est donc de trouver dans les différentes applications parallèles exécutées par les différents processeurs des motifs de calcul communs. Ces motifs seront alors implantés sur le FPGA par un nombre réduit d'accélérateurs partagés entre les processeurs. Grâce à des modèles de programmation mixte, la méthodologie développée est capable de trouver, pour des performances exigés par le concepteur, le nombre optimal d'accélérateurs privés et/ou partagés pour les différents motifs.

✓ Informations techniques

Type de contenu : Texte

Format : PDF

✓ Informations complémentaires

Identifiant : uvhc-ori-oai-wf-1-2061

Type de ressource : Thèse