

Une architecture évolutive flexible et reconfigurable dynamiquement pour les systèmes embarqués haute performance (Document en Anglais)

✓ Accès au(x) document(s)

Accéder au(x) document(s) :

 <http://ged.univ-valenciennes.fr/nuxeo/site/esupversions/90b742a9-5182-405a-b34d-3f66d9844a9a>

Droits d'auteur : Ce document est protégé en vertu du Code de la Propriété Intellectuelle.

Modalités de diffusion de la thèse :

- [Thèse confidentielle jusqu'au 12/10/2025.](#)
- [Thèse soumise à l'embargo de l'auteur : embargo illimité \(communication intranet\).](#)

✓ Informations sur les contributeurs

Auteur : [Viswanathan Venkatasubramanian](#)

Date de soutenance : 12-10-2015

Directeur(s) de thèse : [Ben Atitallah Rabie](#) - [Dekeyser Jean-Luc](#) - [Nakache Maurice](#)

Président du jury : [Manneback Pierre](#)

Membres du jury : [Ben Atitallah Rabie](#) - [Dekeyser Jean-Luc](#) - [Nakache Maurice](#) - [Diguët Jean-Philippe](#) - [Hubner Michael](#)

Rapporteurs : [Diguët Jean-Philippe](#) - [Hubner Michael](#)

Laboratoire : [Laboratoire d'Automatique, de Mécanique et d'Informatique Industrielles et Humaines - LAMIH](#)

Ecole doctorale : [Sciences pour l'ingénieur \(SPI\)](#)

✓ Informations générales

Discipline : Informatique

Classification : Informatique, Sciences de l'ingénieur

Mots-clés : [Le calcul parallèle et dynamique](#) [La reconfiguration partielle](#) [Architecture évolutive](#)

[Haute performance informatique embarquée](#) [Systèmes enfouis \(informatique\) -- Thèses et écrits académiques](#)

[Réseaux logiques programmables par l'utilisateur -- Thèses et écrits académiques](#)

[Reconfiguration \(informatique\) -- Thèses et écrits académiques](#)

[Architecture des ordinateurs -- Thèses et écrits académiques](#)

Résumé : Dans cette thèse, nous proposons une architecture reconfigurable scalable et flexible, avec un réseau de communication parallèle « full-duplex switched » ainsi que le modèle d'exécution approprié ce qui nous a permis de redéfinir les paradigmes de calcul, de communication et de reconfiguration dans les systèmes embarqués à haute performance (HPEC). Ces systèmes sont devenus très sophistiqués et consomment des ressources pour trois raisons. Premièrement, ils doivent capturer et traiter des données en temps réel à partir de plusieurs sources d'E/S parallèles. Deuxièmement, ils devraient adapter leurs fonctionnalités selon l'application ou l'environnement. Troisièmement, à cause du parallélisme potentiel des applications, multiples instances de calcul réparties sur plusieurs nœuds sont nécessaires, ce qui rend ces systèmes massivement parallèles. Grâce au parallélisme matériel offert par les FPGAs, la logique d'une fonction peut être reproduite plusieurs fois pour traiter des E/S parallèles, faisant du modèle d'exécution « Single Program Multiple Data » (SPMD) un modèle préféré pour les concepteurs d'architectures parallèles sur FPGA. En plus, la fonctionnalité de reconfiguration dynamique est un autre attrait des composants FPGA permettant la réutilisation efficace des ressources matérielles limitées. Le défi avec les systèmes HPEC actuels est qu'ils sont généralement conçus pour répondre à des besoins spécifiques d'une application engendrant l'obsolescence rapide du matériel. Dans cette thèse, nous proposons une architecture qui permet la personnalisation des nœuds de calcul (FPGA), la diffusion des données (E/S, bitstreams) et la reconfiguration de plusieurs nœuds de calcul en parallèle. L'environnement logiciel exploite les attraits du réseau de communication pour implémenter le modèle d'exécution SPMD. Enfin, afin de démontrer les avantages de notre architecture, nous avons mis en place une application d'encodage H.264 sécurisé distribué évolutif avec plusieurs protocoles de communication avioniques pour les données et le contrôle. Nous avons utilisé le protocole « serial Front Panel Data Port (sFPDP) » d'acquisition de données à haute vitesse basé sur le standard FMC pour capturer, encoder et de crypter le flux vidéo. Le système mis en œuvre s'appuie sur 3 FPGA différents, en respectant le modèle d'exécution SPMD. En outre, nous avons également mis en place un système d'E/S modulaire en échangeant des protocoles dynamiquement selon les besoins du système. Nous avons ainsi conçu une architecture évolutive et flexible et un modèle d'exécution parallèle afin de gérer

plusieurs sources vidéo d'entrée parallèles.

▼ Informations techniques

Type de contenu : Texte

Format : PDF

▼ Informations complémentaires

Identifiant : uvhc-ori-oai-wf-1-1931

Type de ressource : Thèse
